

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

floating gate

PUBLICATION NUMBER : 54069392
PUBLICATION DATE : 04-06-79

APPLICATION DATE : 14-11-77
APPLICATION NUMBER : 52137057

APPLICANT : NEC CORP;

INVENTOR : SAKAMOTO MITSURU;

INT.CL. : H01L 27/04 H01L 29/78

TITLE : SEMICONDUCTOR INTEGRATED CIRCUIT

ABSTRACT : PURPOSE: To shorten the rise time of an inverter by using a floating gate MOSFET in the load side of the inverter when MOSFET is integrated in a semiconductor chip to constitute an inverter circuit.

CONSTITUTION: Thick SiO_2 or Si_3N_4 insulating film 102 is caused to adhere to the circumference part on P-type Si substrate 101, and an inverter driving-side MOSFET consisting of source and drain regions 103 and 104 and gate insulating film 105 is formed on the surface of substrate 101 surrounded by film 102, and electrodes are provided in these regions. After that, when a load-side drain region 104, and electrode 107 is made common. Next, drain region 110 and gate insulating film 112 are provided, and electrodes are fitted to them respectively and are covered with insulating film 14. Thus, the floating gate element is connected to the driving- side element, thereby constituting an inverter.

COPYRIGHT: (C)1979,JPO&Japio

⑩日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A)

昭54-69392

⑬Int. Cl.²
H 01 L 27/04
H 01 L 29/78

識別記号

⑭日本分類
99(5) H 0
99(5) E 3

庁内整理番号
7210-5F
6603-5F

⑮公開 昭和54年(1979)6月4日

発明の数 1
審査請求 未請求

(全 5 頁)

⑯半導体集積回路

東京都港区芝五丁目33番1号
日本電気株式会社内

⑰特 願 昭52-137057

⑱出 願 人 日本電気株式会社

⑲出 願 昭52(1977)11月14日

東京都港区芝五丁目33番1号

⑳発 明 者 坂本充

㉑代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

半導体チップ内にMOS電界効果トランジスタを集積してインバータ回路を構成する半導体集積回路において、MOS電界効果トランジスタを使用してなるインバータ回路の負荷側に浮遊ゲートMOS電界効果トランジスタを使用することを特徴とする半導体集積回路。

3. 発明の詳細な説明

本発明は半導体チップ内にMOS電界効果トランジスタを集積してインバータ回路を構成する半導体集積回路に関する。

MOS電界効果トランジスタを用いる集積回路に於いて該MOS電界効果トランジスタは一般に、そのチャンネル領域をエンハンスメント・モード、

ディプレッションモードで作動させる。それ故、該MOS電界効果トランジスタを用いるインバータは負荷側トランジスタをエンハンスメントモードまたはディプレッションモードで駆動側トランジスタをエンハンスメントモードで作動させるかまたは負荷側にオーミックな抵抗を結線するのが一般的である。これ等の各インバータに関し、それぞれの特徴を述べるなら以下の如くなる、即ち、負荷側トランジスタをエンハンスメントモードで作動させるインバータでは回路構成に該負荷側トランジスタのゲート電極とドレイン電極を結線して使うのが一般的である。この場合、負荷側トランジスタのソース側に出力されるインバータの最大電圧は電源電圧からしきい値電圧だけ差し引いた値となる。次に、負荷側トランジスタをディプレッションモードで作動させる場合、該MOS電界効果トランジスタのゲート電極はドレイン電極またはソース電極と結線して用いられるが、後者の方法がより一般的である。そして、この時のソース側に出力されるインバータの最大電圧は電

原電圧に等しくなる。最後にインバータの負荷側にオーミック抵抗を入れる場合良好なインバータの伝達特性曲線を得るためには非常に高抵抗の材質を必要とする。このためにインバータの負荷側にオーミック抵抗を入れる方式はMOS電界効果トランジスタを使用する集積回路には余り採用されない。

以上に述べた如く、MOS電界効果トランジスタを用いるインバータは大別して3種類となるが、その中で、インバータの伝達特性曲線、データ出力立ち上がり時間等を考えた場合、負荷側にディプレッションモードのMOS電界効果トランジスタを使用する方式が一著優れている。しかし、該インバータでは、他の方式に較べ製造工程が増える。又、該方式では、負荷側のMOS電界効果トランジスタのゲートとデータ出力部を接続して使用するためにデータ出力部の容量に必然的に該ゲート容量が付加される。このため、先述したデータ出力の立ち上がり時間の短縮化は制限されている。又、上述したインバータの負荷側にMOS

電界効果トランジスタを使用する方式は当負荷側MOSトランジスタをエンハンスメントモード、ディプレッションモードのいずれを使うにしても、該MOS電界効果トランジスタのゲート部に電極配線を施す必要がある。

本発明はかかる負荷側MOS電界効果トランジスタへのゲート配線を取り除き、ICの高集積化を容易にすると共に負荷側MOS電界効果トランジスタをディプレッション型にした時みられる出力側への負荷側ゲート容量の付加を取り除き、インバータの立ち上がり時間をより短少化するものである。又、インバータの負荷側トランジスタの電流容量を決める要素を従来のものに較べつ増やし、負荷側トランジスタの製作及び使用の自由度を上げるものである。

本発明は、半導体チップ内にMOS電界効果トランジスタを集積してインバータ回路を構成する半導体集積回路において、インバータの負荷側に浮遊ゲートMOS電界効果トランジスタを使用することを特徴とする。

この時、当浮遊ゲートにはイオン注入等の技術にて、前もって任意の電荷量を封入し、ゲートを帯電させる。

本発明を実施例で説明する。

以下の実施例の説明はエンハンスメント型MチャンネルMOS電界効果トランジスタの場合について行いが、PチャンネルMOS電界効果トランジスタの場合も全く同様に実施できる。

第1図は本発明の1実施例の断面図である。

導電型がP型のシリコン基体101の表面部に薄いシリコン酸化膜、又はシリコン窒化膜等の絶縁物質102を作る。これ等の絶縁物質102に囲まれたシリコン基体表面部にインバータの駆動側MOS電界効果トランジスタを作製し、該トランジスタのソース領域、ドレイン領域、ゲート絶縁膜、ソース電極、ドレイン電極ゲート電極をそれぞれ103、104、105、106、107、108(108')とする。ここで、これ等のMOS電界効果トランジスタは公知の方法にて作製すればよい。また、ゲート電極108、108'

は、何れもゲート電極であるが別種の材料を使うものとする。例えば、108をアルミニウムで108'を高純度不純物をドーブしたポリシリコン金属で作り108'部表面は例えばシリコン酸化膜等の絶縁物質109で覆う。次に、インバータの負荷側のMOS電界効果トランジスタは、該トランジスタのソース領域を先述した駆動側MOS電界効果トランジスタのドレイン領域104と共通にし、ソース電極は該ドレイン電極に共通に107とする。また、該負荷側MOSトランジスタのドレイン領域、ドレイン電極110、111とそれぞれ形成し、ゲート絶縁膜112のゲート電極113はこの場合、絶縁物質114でもって、外部と完全に遮断する。このようにして、103をソース、104をドレイン、108をゲートする駆動側MOS電界効果トランジスタに、104をソース、110をドレイン、113を浮遊ゲートとする浮遊ゲートMOS電界効果トランジスタが接続される。この時、該ゲート電極113内にはイオン注入等の技術により任意の電荷量を注入し、帯電させてお

く。かくして、本発明のインバータは構成される。

次に本発明のインバータの動作方法について説明する。

第2図は第1図のインバータの等価回路図である。

該インバータの回路構成は駆動側MOS電界効果トランジスタ201に入力電源(V_{in})202を接続し、該トランジスタのソース側を接地する。次に、負荷側MOS電界効果トランジスタとして浮遊ゲートMOS電界効果トランジスタ203のソース側を駆動側MOS電界効果トランジスタのドレイン側に、又、ドレイン側を電源(V_{DD})204に接続する。この時、負荷側及び駆動側MOS電界効果トランジスタの基板は、任意の電圧(V_{sub})205に印加されているものとする。ここで、浮遊ゲートMOS電界効果トランジスタのゲートには前もって(1)式

$$Q = AC_0 V \dots\dots\dots (1)$$

で示される電荷量が封入されている。ここにC₀は該浮遊ゲートMOS電界効果トランジスタの単

位面積当りのゲート膜容量、Aはゲート面積、Vは該浮遊ゲートMOS電界効果トランジスタのソース側を接地した時のしきい値電圧V_{th}以上の任意の電圧である。ここでしきい値電圧V_{th}は(2)式で以て表わされる。

$$V_{th} = V_{FB} + 2\phi_f + \sqrt{2\epsilon_{Si}\epsilon_0 q N_{sub}(12\phi_f + |V_{sub}|)} \dots\dots (2)$$

ここに、V_{FB}はシリコンとゲート電極間のフラットバンド電圧、 ϕ_f はシリコンのフェルミレベル、 ϵ_{Si} 、 ϵ_0 はシリコンの比誘電率、真空の誘電率、q、N_{sub}はそれぞれ、電気素量、シリコン基板の不純物濃度、 ϵ_0 はゲート絶縁膜の単位面積当りの容量である。

本発明のインバータの駆動側トランジスタのゲートに矩形パルスV_{in}が入った時、V_{in}が高レベルで駆動側のトランジスタ201をONにすれば(V₀)206は低レベル即ち接地電位に下がる。この時の立ち下がり時間は一般に駆動側トランジスタ201のW/Lを大きくするため短い。ここでL、WはそれぞれMOS電界効果トランジ

スタの実効チャンネル長、及びチャンネル幅を示す。この出力電位が接地電位の時の浮遊ゲートMOS電界効果トランジスタ203のゲート電位を(1)式で示される電圧Vに予めチャージアップしておけば、次に入力電圧V_{in}を低レベルにし、駆動側トランジスタ201をOFFにすれば、出力電圧V₀を急増すると共に、負荷側トランジスタ203の浮遊ゲートの電位も(3)式で以て急増する。これは、浮遊ゲートMOS電界効果トランジスタ

$$V_{G0} = V + V_0 \dots\dots\dots (3)$$

のゲート絶縁膜容量を介する浮遊ゲートとV₀の間のカップリングのためである。このために出力電位に依らず、少なくとも該MOSトランジスタ203のソース側のチャンネル域の表面は反転し電線(V_{chd})204と導通し、出力V₀の最大電圧はV_{chd}となる。この点、当インバータは先に述べた如く、負荷側MOS電界効果トランジスタをディプレッション型で使うインバータと同類である。例えば本発明のインバータの負荷曲線は、該ディプレッション型の負荷曲線に近く、定電流

型の負荷特性を示す。

第3図はインバータの伝達特性を測定する回路図、第4図は本発明のインバータの伝達特性曲線図である。

第4図に示す如く、インバータの伝達特性曲線も該ディプレッション型のインバータと同類となる。第3図に示した曲線は β_R を任意として示した。但し、 $\beta_R = \beta_I / \beta_L$ 、 β_I 、 $\beta_L = W/L$ 、ここで、L、W、は負荷側又は駆動側のMOS電界効果トランジスタの実効チャンネル長及びチャンネル幅を示す。一般に、当 β_R 値が大きい程、該インバータの伝達特性曲線は急峻なカーブを描き、雑音マージンは大きくなる。また、本発明に於いては、(1)式で表わされる浮遊ゲートへの帯電量Qを制御することにより、 β_R と等価の働きを行うことができる、即ち、該Q量を下げることににより、 β_L を小さくしたと同じ働きを生ぜしめ、 β_R 値を上げることが可能となる。

以上説明したように、本発明に於けるインバータは負荷側MOS電界効果トランジスタのゲート

電極配線を取り除き、 I_0 の乗積度を向上させると共に出力信号の立ち下がり時間の短縮を可能とすると共に βR 値の制御をより広い範囲で容易にする。

上記実施例はエンハンスメント型のNチャンネルMOS型電界効果トランジスタの場合について説明したが、PチャンネルMOS電界効果トランジスタの場合も全く同様であり、また、ディプレッション型の場合でも全く同様である。

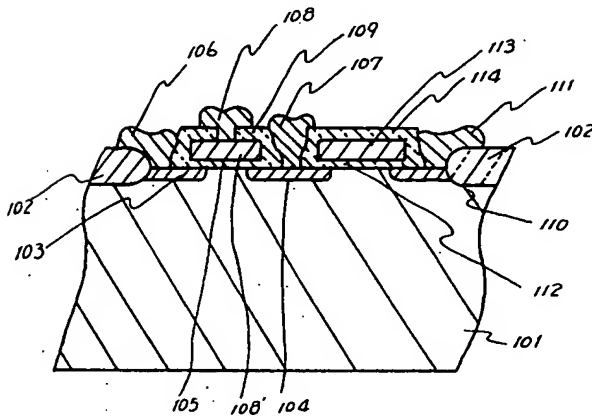
4. 図面の簡単な説明

第1図は本発明の1実施例のインバータの断面図、第2図は第1図のインバータの等価回路図、第3図はインバータの伝達特性を測定する回路図、第4図は本発明のインバータの伝達特性曲線図である。

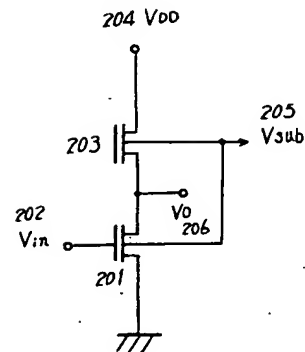
101……シリコン基体、102……厚い絶縁膜、103……駆動側MOS電界効果トランジスタのソース領域、104……駆動側MOS電界効果トランジスタのドレイン領域、105……駆動

側MOS電界効果トランジスタのゲート膜、106……駆動側MOS電界効果トランジスタのソース電極、107……駆動側MOS電界効果トランジスタのドレイン電極、108、108'……駆動側MOS電界効果トランジスタのゲート電極、109……絶縁膜、110……負荷側MOS電界効果トランジスタのドレイン領域、111……ドレイン電極、112……ゲート膜、113……ゲート電極、114……絶縁膜、201……駆動側MOS電界効果トランジスタ、202……入力電圧、203……負荷側浮遊ゲートMOS電界効果トランジスタ、204……電源、205……基板印加電圧、206……出力電圧。

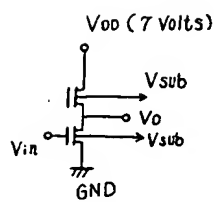
代理人 弁理士 内 原



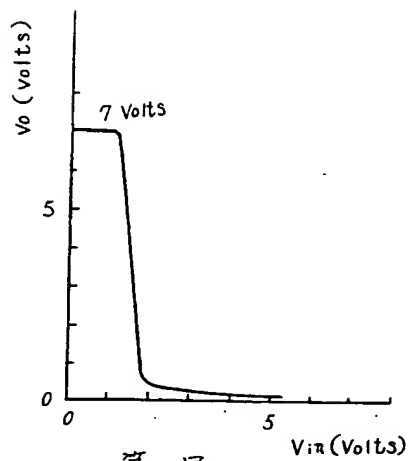
第1図



第2図



第3図



第4図